# Облікова картка дисертації

## I. Загальні відомості

**Державний обліковий номер:** 0417U003692

**Особливі позначки:** відкрита

**Дата реєстрації:** 08-08-2017

**Статус:** Захищена

**Реквізити наказу МОН / наказу закладу:**

## II. Відомості про здобувача

**Власне Прізвище Ім'я По-батькові:**

1. Обрізан Володимир Ігорович

2. Obrizan Volodymyr Ihorovych

**Кваліфікація:**

**Ідентифікатор ORCID ID:** Не застосовується

**Вид дисертації:** кандидат наук

**Аспірантура/Докторантура:** ні

**Шифр наукової спеціальності:** 05.13.05

**Назва наукової спеціальності:** Комп'ютерні системи та компоненти

**Галузь / галузі знань:** Не застосовується

**Освітньо-наукова програма зі спеціальності:** Не застосовується

**Дата захисту:** 05-07-2017

**Спеціальність за освітою:** 8.05010101

**Місце роботи здобувача:** ТОВ "Проектування та діагностика систем"

**Код за ЄДРПОУ:** 37578050

**Місцезнаходження:** м.Харків, вул. Бакуліна, 9/13

**Форма власності:**

**Сфера управління:**

**Ідентифікатор ROR:** Не застосовується

## III. Відомості про організацію, де відбувся захист

**Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради):** Д 64.052.01

**Повне найменування юридичної особи:** Харківський національний університет радіоелектроніки

**Код за ЄДРПОУ:** 02071197

**Місцезнаходження:** проспект Науки, 14, м. Харків, Харківський р-н., Харківська обл., 61166, Україна

**Форма власності:**

**Сфера управління:** Міністерство освіти і науки України

**Ідентифікатор ROR:** Не застосовується

## IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

**Повне найменування юридичної особи:** Харківський національний університет радіоелектроніки

**Код за ЄДРПОУ:** 02071197

**Місцезнаходження:** 61166, м. Харків, пр. Науки, 14

**Форма власності:**

**Сфера управління:** Міністерство освіти і науки України

**Ідентифікатор ROR:** Не застосовується

## V. Відомості про дисертацію

**Мова дисертації:**

**Коди тематичних рубрик:** 50.51.17

**Тема дисертації:**

1. Мультиверсний паралельний синтез цифрових структур на основі SystemC специфікації

2. Multiversion parallel synthesis of digital structures based on SystemC specification

**Реферат/анотація:**

1. Мета дисертаційного дослідження - суттєве зменшення часу проектування обчислювальних архітектур і підвищення якості цифрових виробів шляхом мультіверсного синтезу структури цифрового виробу на основі заданої специфікації в середовищі SystemC (C++) і автоматичному підборі функціональних компонентів за рахунок паралельного синтезу і верифікації архітектурних рішень системного рівня відповідно до запропонованої метрики. Основні результати: 1) Вперше запропоновано метод синтезу інтерфейсних структур і протоколів виконання транзакцій RT-рівня на основі аналізу специфікації SoC-архітектури системного рівня, який характеризується використанням двобічної стандартної шини Wishbone обміну даними між функціональними модулями, що дозволяє здійснювати мультиверсне створення компонентів цифрових систем на кристалах. 2) Вперше запропоновано метод синтезу RTL-моделей функціональностей, який характеризується однозначним перетворенням C++ і SystemC-описів цифрових блоків системного рівня в алгоритми і структури даних автоматної моделі Мура, заданої синтезованою підмножиною мовних конструкцій VHDL, що дає можливість істотно зменшити час виконання процесів проектування, тестування і

верифікації. 3) Удосконалено структури даних для опису функціональних примітивів системного рівня, які відрізняються орієнтацією на використання семантичних і синтаксичних конструкцій мови С ++ і SystemC, що дозволяє здійснювати паралельний синтез і верифікацію архітектурних рішень. 4) Удосконалено метод мультиверсного синтезу керуючих і операційних автоматів, орієнтованих на архітектурні рішення в метриці, що відрізняється мінімальним часом виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати.

2. The goal of the investigation is significantly reducing the time for designing computing architectures and improving the quality of digital products by way of multiversion synthesis of a digital product structure based on a specified specification in SystemC (C++) environment, and automatically selecting functional components through the parallel synthesis and verification of architectural solutions of the system level in accordance with the proposed metric. Main results are the following: 1) a new method for synthesizing interface structures and RT-level transaction protocols is proposed; it is based on the analysis of the SoC system-level architecture specification, which is characterized by using a two-sided standard Wishbone data bus between functional modules, which allows the multiversion creating components of a digital system-on-chip; 2) a new method for synthesizing RTL-models of functionalities is proposed that is characterized by one-valued transformation of C++ and SystemC-descriptions of digital blocks of the system level into algorithms and data structures of the Moore automaton model defined by a synthesized subset of VHDL descriptions, which makes it possible to significantly reduce the time of designing, testing and verification; 3) data structures for the description of functional primitives of the system level have been improved, which differ using semantic and syntactic constructions of C++ and SystemC, which allows performing parallel synthesis and verification of architectural solutions; 4) a method of multiversion synthesis of control and operational automata focused on architectural solutions in the metric is improved, which is characterized by a minimum time for operating a functionality through parallel executing the operations with a limitation on hardware costs

**Державний реєстраційний номер ДіР:**

**Пріоритетний напрям розвитку науки і техніки:**

**Стратегічний пріоритетний напрям інноваційної діяльності:**

**Підсумки дослідження:**

**Публікації:**

**Наукова (науково-технічна) продукція:**

**Соціально-економічна спрямованість:**

**Охоронні документи на ОПІВ:**

**Впровадження результатів дисертації:**

**Зв'язок з науковими темами:**

## VI. Відомості про наукового керівника/керівників (консультанта)

**Власне Прізвище Ім'я По-батькові:**

1. Хаханов Володимир Іванович

2. Hahanov Vladimir Ivanovich

**Кваліфікація:** д.т.н., 05.13.05

**Ідентифікатор ORCID ID:** Не застосовується

**Додаткова інформація:**

**Повне найменування юридичної особи:**

**Код за ЄДРПОУ:**

**Місцезнаходження:**

**Форма власності:**

**Сфера управління:**

**Ідентифікатор ROR:** Не застосовується

## VII. Відомості про офіційних опонентів та рецензентів

**Офіційні опоненти**

**Власне Прізвище Ім'я По-батькові:**

1. Мірошник Марина Анатоліївна
2. Мірошник Марина Анатоліївна

**Кваліфікація:** д.т.н., 05.13.05

**Ідентифікатор ORCID ID:** Не застосовується

**Додаткова інформація:**

**Повне найменування юридичної особи:**

**Код за ЄДРПОУ:**

**Місцезнаходження:**

**Форма власності:**

**Сфера управління:**

**Ідентифікатор ROR:** Не застосовується

**Власне Прізвище Ім'я По-батькові:**

1. Хажмурадов Манап Ахмадович
2. Хажмурадов Манап Ахмадович

**Кваліфікація:** д.т.н., 05.13.12

**Ідентифікатор ORCID ID:** Не застосовується

**Додаткова інформація:**

**Повне найменування юридичної особи:**

**Код за ЄДРПОУ:**

**Місцезнаходження:**

**Форма власності:**

**Сфера управління:**

**Ідентифікатор ROR:** Не застосовується

**Рецензенти**

## VIII. Заключні відомості

**Власне Прізвище Ім'я По-батькові голови ради** Путятін Євгеній Петрович

**Власне Прізвище Ім'я По-батькові головуючого на засіданні** Путятін Євгеній Петрович

**Відповідальний за підготовку облікових документів**

**Реєстратор**

**Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності**




Юрченко Т.А.