Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0412U000076

Особливі позначки: відкрита

Дата реєстрації: 17-01-2012

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Нгене Кристофер Умерах
2. Ngene Christopher Umerah

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 14-12-2011

Спеціальність за освітою: 0608

Місце роботи здобувача:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д64.052.01

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.09

Тема дисертації:

1. Інфраструктура убудованого діагностування HDL-моделей цифрових систем на кристалах
2. Embedded diagnostic infrastructure for HDL models of digital systems-on-chips

Реферат:

1. Мета дисертаційного дослідження - зменшення часу верифікації та підвищення якості ESL-моделей цифрових виробів на кристалах шляхом введення програмно-апаратної надлишковості в технологію проектування, що забезпечує задану глибину діагностування HDL-коду. Основні результати: нова аналітична модель процесів тестування та верифікації, яка характеризується використанням бета-метрики і дає можливість сформулювати всі існуючі задачі технічної діагностики програмно-апаратних компонентів цифрових систем на кристалах; нова структурна модель HDL-коду у формі транзакційного графа, що дає можливість здійснювати пошук семантичних помилок в процесі моделювання коду; група модифікованих методів діагностування функціональних порушень HDL-коду на основі механізму асерцій, яка дає можливість істотно зменшити час аналізу результатів моделювання при пошуку дефектів; удосконалена архітектура логічного асоціативного мультиматричного процесора з обмеженою системою команд, що відрізняється орієнтацією на вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах. Запропоновані моделі та методи тестування, а також архітектура спеціалізованого

мультиматричного процесора доведені до практичної реалізації у вигляді програмно-апаратних компонентів інфраструктури, інтегрованої з системою Riviera (Aldec), що надало можливість створити ефективну інфраструктуру верифікації та діагностування HDL-коду цифрових систем на кристалах. Практичне значення отриманих результатів: 1. Моделі й методи тестування, а також архітектура спеціалізованого мультиматричного процесора доведені до практичної реалізації у вигляді програмно-апаратних компонентів інфраструктури, інтегрованої з системою Riviera (Aldec), що надало можливість створювати ефективні маршрути перевірки та діагностування HDL-коду цифрових систем на кристалах. 2. Інтеграція програмних HDL-моделей і апаратної реалізації методів діагностування функціональних порушень дозволила істотно (20%) скоротити часові витрати для моделювання й верифікації у процесі тестування цифрових виробів. 3. Інфраструктура тестування HDL-коду надає можливість апаратно обробляти програмно-апаратні моделі проектованого виробу, що дозволяє істотно (50%) зменшити час діагностування та корекції коду в процесі ітераційного налагодження. 4. Запропоновані моделі й методи, що складають основу програмно-апаратної інфраструктури тестування на основі асерцій істотно (20%) підвищують тестопридатність цифрової системи в цілому, що дозволяє зменшити часові витрати на синтез тесту, підвищити його функціональну повноту і якість проектованого виробу.

2. The goal is to reduce HDL-code verification time and improve the quality of ESL-models for digital systems-on-chips by using software-hardware redundancy in the design technology, which provides the desired diagnostic resolution of the HDL-code. Main results: a new analytical process model for testing and verification, which is characterized by the use of beta-metric that makes it possible to formulate all existing problems of technical diagnostics of software and hardware components of digital systems-on-chips; a new structural model of HDL-code in the form of transaction graph, which makes it possible to search for functional violations during code simulation; based on the assertion engine a group of improved methods for diagnosing functional violations in HDL-code was developed, which significantly reduce the analysis time of simulation results when searching for faults; improved architecture of logic associative multi-matrix processor with limited instruction set, which is focused on embedded Infrastructure IP for functional blocks of digital systems-on-chips. The proposed models and methods for testing, as well as the dedicated multi-matrix processor were implemented in the form of hardware-software infrastructure components and integrated into Riviera (Aldec) simulation environment. This allows for the creation of an efficient infrastructure for verification and diagnosis of HDL-code of digital systems-on-chips. The practical significance of the results: 1. Models and methods for testing, as well as dedicated architecture of the multimatrix processor are realized in the form of hardware-software infrastructure components, integrated with the system of Riviera (Aldec), which allowed creating efficient flow-charts for testing and diagnosis of HDL-code for digital systems-on-chips. 2. Integration of software HDL-models and hardware implementation of methods for diagnosing functional failures allowed significantly reducing (20%) the time for simulation and verification when testing digital products. 3. HDL-testing infrastructure provides hardware processing the hardware-software models of designed product that allows significantly (50%) reducing the time for diagnosis and correction of the code when debugging. 4. The proposed models and methods, which are the basics of software-hardware testing infrastructure based on assertion engine, significantly (20%) increase the testability of digital systems that allows reducing the time for the test synthesis and increasing its functional completeness and quality of the designed product.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович
2. Hahanov Vladimir Ivanovich

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Краснобаєв Віктор Анатолійович
2. Краснобаєв Віктор Анатолійович

Кваліфікація: д.т.н., 20.02.14

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Хажмурадов Манап Ахмадович
2. Хажмурадов Манап Ахмадович

Кваліфікація: д.т.н., 05.13.12

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Бондаренко Михайло Федорович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Бондаренко Михайло Федорович
Відповідальний за підготовку облікових документів	
Реєстратор	
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Т.А.