Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0826U005242

Особливі позначки: відкрита

Дата реєстрації: 17-09-2026

Статус: Наказ про видачу диплома

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Демченко Олег Іванович
2. Oleh Demchenko

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: доктор філософії

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 123

Назва наукової спеціальності: Комп’ютерна інженерія

Галузь / галузі знань: інформаційні технології

Освітньо-наукова програма зі спеціальності: Комп'ютерна інженерія

Дата захисту: 13-09-2026

Спеціальність за освітою: Конструювання і технологія радіоелектронних засобів

Місце роботи здобувача: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): PhD 16619

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

V. Відомості про дисертацію

Мова дисертації: Українська

Коди тематичних рубрик: 50.51, 50.07, 20.55.03

Тема дисертації:

1. Векторно-логічні моделі цифрових схем для симуляції та візуалізації

2. Vector-Logic Models of Digital Circuits for Simulation and Rendering

Реферат/анотація:

1. Демченко О.І. Векторно-логічні моделі цифрових схем для симуляції та візуалізації. – Кваліфікаційна наукова праця на правах рукопису. Дисертація на здобуття ступеня доктора філософії за спеціальністю 123 Комп'ютерна інженерія – Харківський національний університет радіоелектроніки, Міністерство освіти і науки України, Харків, 2026. Дисертація присвячена розв'язку науково-практичної задачі щодо економічних векторно-логічних обчислень, орієнтованих на безпроцесорну обробку у пам'яті (in-memory), що засновані на транзакціях читання-запису над розумними структурами даних, якими виступають логічні вектори, таблиці істинності та матриці. Мета дослідження – зниження часових та енергетичних витрат fault/good-value as address simulation цифрових схем за рахунок надлишковості векторно-логічних моделей їх елементів. Задачі дослідження: 1. Аналіз стану проблеми та актуальних технологій прогресивного корпусування інтегральних мікросхем, моделювання несправностей цифрових систем та їх компонентів. 2. Вдосконалення розумних структур даних векторної логіки, що зменшують обчислювальну складність алгоритмів fault/good-value as address simulation за рахунок експоненціальної надмірності моделей

елементів логічних схем. 3. Розробка архітектури для моделювання схеми та рендерингу процесів синхронізації векторно-логічного modeling for fault/good-value as address simulation, що містить побудову моделі об'єкта у пам'яті комп'ютера та дозволяє візуально супроводжувати процес modeling for simulation цифрової схеми. 4. Розробка векторно-логічних механізмів modeling for fault/good-value as address simulation з лінійною алгоритмічною складністю. 5. Програмна реалізація розумних структур даних, алгоритмів та механізмів fault/good-value as address simulation, синхронний рендеринг всіх компонентів процесу симуляції на вікно монітору з метою візуального супроводжування процесу modeling for simulation цифрової схеми, їх верифікація на бібліотеці стендових схем ISCAS та імплементація до хмарного сервісу MOSI-HDL. Наукова новизна дослідження представлена векторно-логічними моделями елементів цифрової схеми, механізмами good-value simulation test set as address та fault as address simulation цифрової схеми і fault as address simulation вхідного набору, використовуючи квадратичну матрицю симуляції. Практичне значення полягає у швидкому розвитку економічно ефективних механізмів та технологій для моделювання та симуляції в пам'яті завдяки інтелектуальному рендерингу та ієрархічній синхронізації всіх процесів моделювання та симуляції проєкту. Вихід запропонованих механізмів моделювання на EDA-ринок передбачає використання стандарту IEEE 1500 SECT для перевірки функціональності та структури SoC на рівнях IP-ядра, гейту, RTL та системи цифрового опису проєкту. Об'єкт дослідження – векторно-логічний in-memory комп'ютинг для вирішення задач моделювання цифрових систем. Предмет дослідження – векторно-логічне моделювання несправностей, як адрес, для верифікації цифрових схем. Наукова новизна результатів досліджень: 1. Удосконалено розумні структури даних, які орієнтовані на безпроцесорний векторно-логічний modeling for fault/good-value as address simulation за допомогою read-write транзакцій, що дозволило зменшити обчислювальну складність алгоритмів симуляції. 2. Вперше запропоновано векторно-логічну модель елементів цифрової схеми, що дозволяє здійснити good–value simulation вхідних тестових наборів та fault as address simulation як адрес бітів логічного та дедуктивного вектора на основі read–write транзакцій та знизити обчислювальну складність алгоритмів тестування логічних функціональностей до лінійної. 3. Вперше запропоновано архітектуру для моделювання схеми та рендерингу процесів синхронізації векторно-логичного modeling for fault/good-value as address simulation, що містить побудову моделі об'єкта у пам'яті комп'ютера та дозволяє проєктувальнику візуально супроводжувати процес modeling for simulation цифрової схеми (вручну будувати тести для покриття несправностей логічних схем). 4. Вперше запропоновано механізми векторно-логічного modeling for fault/good-value as address simulation, що відзначаються лінійною алгоритмічною складністю.

2. Demchenko O.I. Vector-Logic Models of Digital Circuits for Simulation and Rendering. – Qualification scientific work submitted as a manuscript. Dissertation for the degree of Doctor of Philosophy in specialty 123 Computer Engineering – Kharkiv National University of Radio Electronics, Ministry of Education and Science of Ukraine, Kharkiv, 2026. The dissertation is devoted to the solution of a scientific and practical problem regarding economical vector-logic calculations, oriented to processor-free processing in memory (in-memory), which are based on read-write transactions over intelligent data structures, which are logical vectors, truth tables and matrices. The purpose of the research is to reduce the time and energy costs for fault/good-value as address simulation of digital circuits due to the redundancy of vector-logic models of their elements. Research objectives: 1. Analysis of the state of the problem and current technologies of progressive packaging of integrated circuits, modeling of faults of digital systems and their components. 2. Improvement of intelligent vector logic data structures that reduce the computational complexity of fault/good-value as address simulation algorithms due to the exponential redundancy of models of elements of logical circuits. 3. Development of an architecture for circuit modeling and rendering of synchronization processes of vector-logical modeling for fault/good-value as address simulation, which includes building an object model in computer memory and allows for visual monitoring of the modeling for simulation process of a digital circuit. 4. Development of vector-logical modeling for fault/good-value as address simulation mechanisms with linear algorithmic complexity. 5. Software implementation of intelligent data structures, algorithms and fault/good-value as address simulation mechanisms, synchronous rendering of all components of the simulation process on the monitor window for the purpose of visual monitoring

of the modeling for simulation process of a digital circuit, their verification on the ISCAS bench circuit library and implementation in the MOSI-HDL cloud service. The scientific novelty of the research is represented by vector-logic models of digital circuit elements, good-value simulation test set as address and fault as address simulation mechanisms of the digital circuit and fault as address simulation of the input set, using a quadratic simulation matrix. The practical significance lies in the rapid development of cost-effective mechanisms and technologies for modeling and simulation in memory due to intelligent rendering and hierarchical synchronization of all processes of modeling and simulation of the project. The release of the proposed modeling mechanisms to the EDA market involves the use of the IEEE 1500 SECT standard to verify the functionality and structure of the SoC at the levels of the IP core, gate, RTL and digital description system of the project. The object of the research is vector-logic in-memory computing for solving problems of modeling digital systems. The subject of the research is vector-logic modeling of faults, as addresses, for verification of digital circuits. Scientific novelty of the research results: 1. Intelligent data structures focused on processor-free vector-logical modeling for fault/good-value as address simulation using read-write transactions have been improved, which has reduced the computational complexity of simulation algorithms to linear. 2. For the first time, a vector-logical model of digital circuit elements has been proposed, which allows for good-value simulation of input test sets and fault as address simulation as address bits of a logical and deductive vector based on read-write transactions and reduces the computational complexity of logical functionality testing algorithms to linear. 3. For the first time, an architecture for circuit modeling and rendering of vector-logical modeling for fault/good-value as address simulation synchronization processes has been proposed, which includes building an object model in computer memory and allows the designer to visually accompany the modeling for simulation process of a digital circuit (manually build tests to cover faults in logical circuits). 4. For the first time, vector-logic modeling mechanisms for fault/good-value as address simulation, characterized by linear algorithmic complexity, are proposed. Practical Significance of the Research Results is determined by the verification of smart data structures and simulation algorithms on dozens of circuits and functional elements from the ISCAS benchmark library.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки: Інформаційні та комунікаційні технології

Стратегічний пріоритетний напрям інноваційної діяльності: Освоєння нових технологій транспортування енергії, впровадження енергоефективних, ресурсозберігаючих технологій, освоєння альтернативних джерел енергії

Підсумки дослідження: Теоретичне узагальнення і вирішення важливої наукової проблеми

Публікації:

- 1. Демченко О.І., Чумаченко С.В. Технології прогресивного корпусування інтегральних мікросхем / О.І. Демченко, С.В. Чумаченко // Системи управління, навігації та зв'язку. – 2025. – Т. 3, № 81. – С. 199–202. – DOI: 10.26906/SUNZ.2025.3.199.
- 2. Хаханов В.І., Обрізан В.І., Рахліс Д., Хаханова Г.В., Хаханов І.В., Демченко О.І., Воронов А.О. Механізми схемотехнічного моделювання на основі векторної логіки / В.І. Хаханов, В.І. Обрізан, Д.Ю. Рахліс, Г.В. Хаханова, І.В. Хаханов, О.І. Демченко, А.О. Воронов // Радіоелектроніка, інформатика, управління. – 2025. – № 4. – С. 219–232. – DOI: 10.15588/1607-3274-2025-4-20.
- 3. Hahanov V., Chumachenko S., Litvinova E., Voronov A., Demchenko O., Maksymova N. Vector-logic Models of Digital Circuits for Simulation and Rendering / V. Hahanov, S. Chumachenko, E. Litvinova, A. Voronov, O. Demchenko, N. Maksymova // IAES International Journal of Robotics and Automation (IJRA). – 2026. – Vol. 15, no. 2. – P. 319–330. – ISSN 2089-4856. – DOI: 10.11591/ijra.v15i2.pp319-330.
- 4. Hahanov V., Chumachenko S., Litvinova E., Voronov A., Demchenko O., Maksymova N. Vector logic for robotic system on chip design and test / V. Hahanov, S. Chumachenko, E. Litvinova, A. Voronov, O. Demchenko, N. Maksymova // IAES International Journal of Robotics and Automation (IJRA). – 2026. – Vol. 15,

no. 2. – P. 415–426. – ISSN 2089-4856. – DOI: 10.11591/ijra.v15i2.pp415-426.

Наукова (науково-технічна) продукція: методи, теорії, гіпотези

Соціально-економічна спрямованість: забезпечення промисловості чи населення новим видом інформаційно-комунікаційних послуг

Охоронні документи на ОПІВ:

Впровадження результатів дисертації: Впроваджено

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Чумаченко Світлана Вікторівна
2. Chumachenko Svitlana Viktorivna

Кваліфікація: д. т. н., професор, 01.05.02

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Бабаков Роман Маркович
2. Babakov Roman Markovich

Кваліфікація: к. т. н., доц., 05.13.13

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація: https://www.scopus.com/authid/detail.uri?authorId=6506427138; https://www.researchgate.net/profile/Roman-Babakov; https://scholar.google.com.ua/citations?user=3Yoft8kAAAAJ&hl=ru; https://orcid.org/0000-0001-7196-0912

Повне найменування юридичної особи: Донецький національний університет імені Василя Стуса

Код за ЄДРПОУ: 02070803

Місцезнаходження: вул. 600-річчя, Вінниця, Вінницький р-н., 21021, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Власне Прізвище Ім'я По-батькові:

1. Леонов Сергій Юрійович

2. Serhii Y. Leonov

Кваліфікація: д.т.н., професор, 05.13.05

Ідентифікатор ORCID ID: 0000-0002-0698-1538

Додаткова інформація: https://scholar.google.com.ua/citations?user=V4UPJc4AAAAJ&hl=uk

Повне найменування юридичної особи: Національний технічний університет "Харківський політехнічний інститут"

Код за ЄДРПОУ: 02071180

Місцезнаходження: вул. Кирпичова, Харків, Харківський р-н., 61002, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Рецензенти

Власне Прізвище Ім'я По-батькові:

1. Невлюдов Ігор Шакирович

2. Igor Nevlyudov

Кваліфікація: д.т.н., професор, 05.11.14

Ідентифікатор ORCID ID: 0000-0002-9837-2309

Додаткова інформація:

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Власне Прізвище Ім'я По-батькові:

1. Сорокін Антон Романович

2. Anton R. Sorokin

Кваліфікація: к.т.н., доц., 05.13.23

Ідентифікатор ORCID ID: 0000-0002-4383-2611

Додаткова інформація:
;https://scholar.google.com.ua/citations?user=OXiInWIAAAAJ;https://www.scopus.com/authid/detail.uri?authorId=55574520100

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Гороховатський Володимир Олексійович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Гороховатський Володимир Олексійович
Відповідальний за підготовку облікових документів	Іванова Олена Олександрівна
Реєстратор	Юрченко Тетяна Анатоліївна
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Тетяна Анатоліївна

