Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0510U000370

Особливі позначки: відкрита

Дата реєстрації: 20-05-2010

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Литвинова Євгенія Іванівна
2. Litvinova Eugenia Ivanovna

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: доктор наук

Аспірантура/Докторантура: ні

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 31-03-2010

Спеціальність за освітою: 0705

Місце роботи здобувача: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д 64.052.01

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, 14, м. Харків, Харківський р-н., Харківська обл., 61166, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.33.14

Тема дисертації:

1. Інфраструктури верифікації та убудованого діагностування цифрових систем на кристалах
2. Infrastructures for verification and embedded diagnosis of digital systems-on-chips

Реферат:

1. Об'єкт дослідження - процес тестопридатного проектування цифрових систем реального часу та їх імплементація у кристали програмовної логіки на основі використання HDL-мов опису обчислювальної апаратури. Мета дослідження - розробка інфраструктур верифікації та убудованого діагностування цифрових систем на кристалах на основі використання технологій асерційної надлишковості та граничного сканування для суттєвого зменшення часу проектування (time-to-market) та одночасного підвищення виходу придатної продукції (yield). Методи досліджень: булева алгебра, теорія множин і графів, мови опису апаратури - для визначення функцій примітивів; методи і моделі технічної діагностики, моделювання, формальної верифікації, теорія цифрових автоматів - для розробки та реалізації інфраструктур верифікації та убудованого діагностування цифрових систем на кристалах; засоби проектування, моделювання і верифікації - для імплементації розроблених моделей та методів сервісного обслуговування цифрових систем. Теоретичні та практичні результати - розроблено теоретичні положення і практичні засоби, які складають інфраструктуру верифікації та убудованого діагностування цифрових систем на кристалах на

основі використання технологій асерційної надлишковості та граничного сканування. Наукова новизна: 1) вперше розроблено асерційний метод верифікації та діагностування HDL-коду проектованої цифрової системи; 2) вперше розроблено метод убудованого діагностування апаратних модулів цифрової системи на кристалі; 3) вперше розроблено метод аналізу тестопридатності системного HDL-коду та RTL-моделі цифрової структури на кристалі; 4) удосконалено модель процесу верифікації та діагностування системних HDL-моделей цифрових проектів; 5) удосконалено модель процесу убудованого діагностування та ремонту цифрових систем на кристалах; 6) отримала подальший розвиток модель процесу проектування, верифікації та діагностування цифрових систем на кристалах. Науково-практичні результати у вигляді програмно-апаратних додатків і методичних матеріалів упроваджено в організаціях: Харківський національний університет радіоелектроніки; НДІРВ Харків; ЗАТ "Імпульс", Сєвєродонецьк; Компанія Aldec, USA. Наукові та практичні результати дисертації можуть використовуватися у науково-технічних розробках та при проектуванні цифрових систем на кристалах FPGA (Xilinx) в цілях істотного зменшення часу верифікації HDL-моделей і тестування апаратних компонентів SoC шляхом створення інфраструктури аналізу проекту, що дозволяє оцінювати тестопридатність програмно-апаратних модулів шляхом побудови транзакційного графу для використання механізму асерцій та IEEE 1500 SECT стандарту, які підвищують ефективність сервісних засобів моделювання, діагностування та відновлення працездатності.

2. Object of the research is the testable designing digital real-time systems and their implementation in the programmable logic chips on the basis of HDL-description languages. Goal is development of infrastructures for verification and diagnosis of digital systems based on using the redundancy of assertion engine and boundary scan to significant reduce time-to-market while increasing product yield. Methods: Boolean algebra, set and graph theories, hardware description languages are applied for the description of primitive functions, methods and models of technical diagnosis, simulation, formal verification, theory of digital automata are applied to develop and implement the infrastructures of verification and embedded diagnosis of digital systems-on-chips; computer-aided design tools, simulation and verification facilities - to implement the proposed models and methods for the Infrastructure IP of digital systems. Theoretical and practical results are the theoretical propositions and practical facilities, which are verification and embedded diagnosis infrastructure for digital systems-on-chips based on assertion engine and boundary scan technology are proposed. Scientific novelty: 1) novel assertion method for SoC HDL-code verification and diagnosis; 2) novel embedded diagnosis method for SoC hardware components; 3) novel testability assessment method for system HDL-code and RTL-models of digital system-on-chip; 4) improved infrastructure for verification and diagnosis of SoC system HDL-models; 5) improved infrastructure for embedded diagnosis and repairing digital systems-on-chips; 6) improved infrastructure for the designing, verification and diagnosing digital systems-on-chips. The author's scientific and practical results are introduced in the following organizations in the form of hardware and software applications and user's guides: Kharkov National University of Radio Electronics; Research Institute of Radio Metering - NIIRI, Kharkov; Close Corporation "Impulse", Severodonetsk; Company Aldec, USA. Scientific and practical results can be used in scientific and technological designing of digital systems-on-chips FPGA (Xilinx) to significantly reduce the time of HDL-model verification and SoC hardware component testing by the developing an infrastructure for design analyzing that allows evaluating the testability of software and hardware modules by constructing a transaction graph in order to use assertion engine and IEEE Std 1500 SECT, which increase the efficiency of simulating, diagnosing and repairing tools.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович
2. Hahanov Vladimir Ivanovich

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Борисенко Олексій Андрійович
2. Борисенко Олексій Андрійович

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Дрозд Олександр Валентинович
2. Дрозд Олександр Валентинович

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Хажмурадов Манап Ахмадович
2. Хажмурадов Манап Ахмадович

Кваліфікація: д.т.н., 05.13.12

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Бондаренко Михайло Федорович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Бондаренко Михайло Федорович
Відповідальний за підготовку облікових документів	

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності

Юрченко Т.А.