Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0412U000696

Особливі позначки: відкрита

Дата реєстрації: 05-04-2012

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Тієкура Ів

2. Tiecoura Yves

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 14-03-2012

Спеціальність за освітою: 2201

Місце роботи здобувача:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д64.052.01

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.09

Тема дисертації:

1. Векторно-логічна інфраструктура вбудованого тестування цифрових систем на кристалах

2. Vector-logic infrastructure for embedded testing digital systems-on-chips

Реферат/анотація:

1. Мета дисертаційного дослідження - зменшення часу сервісного обслуговування цифрових систем на кристалах шляхом введення вбудованої програмно-апаратної надлишковості у вигляді інфраструктури функціональних компонентів, що забезпечує задану глибину діагностування. Об'єкт дослідження - процеси вбудованого тестування цифрових систем на кристалах, що передбачають синтез тестів і пошук дефектів на основі стандартів граничного сканування. Предмет дослідження - моделі, методи та засоби вбудованого тестування компонентів цифрових систем на кристалах на основі використання транзакційного графа і механізму граничного сканування. Основні результати: нова модель взаємодії дискретних об'єктів в кіберпросторі, яка характеризується використанням скалярного і векторного значення бета-метрики, що дозволяє точно і адекватно оцінювати рішення в процесі пошуку і розпізнавання будь-яких об'єктів у векторному логічному просторі, а також в паралельному режимі вирішувати задачі синтезу та аналізу діагностичної інформації; вдосконалена структурна модель цифрової системи, яка відрізняється наявністю транзакційного графа функціональних модулів, інваріантна до рівнів ієрархії виробу, яка дозволяє спростити

підготовку та подання діагностичної інформації у вигляді мінімізованої таблиці активізації функціональних блоків або деструктивних компонентів на тестових сегментах; вдосконалені методи синтезу тестів і діагностування несправностей на основі граничного сканування для функціональностей, заданих матричними формами опису поведінки цифрових компонентів, які відрізняються паралелізмом векторних операцій над таблицями несправностей, що дозволяє зменшити обсяг пам'яті, час відновлення працездатності цифрової системи; вдосконалена архітектура логічного асоціативного мультипроцесора, орієнтованого на підвищення швидкодії процедур вбудованого діагностування несправностей, яка відрізняється використанням паралельних логічних векторних операцій and, or, xor, slc, що дає можливість істотно (x10) підвищити швидкодію діагностування одиночних і / або кратних несправностей за допомогою таблиці активізації функціональних модулів; моделі та методи сервісного обслуговування, а також архітектура спеціалізованого мультипроцесора доведені до програмно-апаратної реалізації компонентів інфраструктури, що використовує технологію граничного сканування. Це дозволило створити ефективні маршрути і процес-моделі синтезу тестів та діагностики функціональних модулів цифрових систем на кристалах; інфраструктура сервісного обслуговування дозволяє виявляти широкий спектр несправностей блоків цифрових систем на кристалах, що дозволяє істотно (30%) зменшити час діагностування апаратних компонентів в процесі функціонування; запропоновані моделі і методи складають математичну основу інфраструктури сервісного обслуговування, істотно (20%) підвищують тестопрігодность цифрової системи, що дозволяє зменшити тимчасові витрати на синтез діагностичної інформації, підвищити якість проектованого виробу та вихід придатної продукції.

2. The aim of the research is to improve the test-infrastructure IP of digital systems-on-chips by the introduction of embedded hardware and software redundancy in the form of the functional component infrastructure that provides the desired diagnosis depth. The subject of the research is the processes of embedded testing digital systems-on-chips, including test synthesis and fault detectiom, based on the standard boundary-scan. Main results: a new model for interacting discrete objects in cyberspace, which is characterized by the use of scalar and vector value of beta metric, which allows accurate and adequately evaluate the solutions, when searching and recognizing any objects in the vector logic space, and in parallel solving the problems of synthesis and analysis of diagnosis information; improved structural model of the digital system, which is distinguished by the transaction graph of functional modules, which is invariant to hierarchy levels of the product and allows simplifying the preparation and presentation of diagnostic information in the form of minimized activation table of functional blocks or destructive components on the test segments; improved methods for test synthesis and fault diagnosis, based on boundary-scan, for functionalities specified by matrix forms describing the behavior of digital components, which differ parallel vector operations on fault detection tables and allow reducing memory volume and repair time of digital system; improved architecture of logic associative multiprocessor, focused to increase the productivity of embedded fault diagnosis, which differs by using parallel vector logical operations and, or, xor, slc, which makes it possible to reduce the diagnosis time for single and multiple faults by activation table of functional modules. Models and methods of Infrastructure IP and architecture of dedicated multiprocessor are implemented in the software and hardware, using the boundary-scan technology. It allows creating efficient flows and process models for test synthesis and diagnosis of functional modules of digital systems-on-chips. The Infrastructure IP can detect a wide range of fault blocks of digital systems-on-chips that allows significantly (30%) reducing the diagnosis time of hardware components in functioning; proposed models and methods are the mathematical basis of the Infrastructure IP and significantly (20%) increase the testability of digital system.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович
2. Hahanov Vladimir Ivanovich

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Краснобаєв Віктор Анатолійович
2. Краснобаєв Віктор Анатолійович

Кваліфікація: д.т.н., 20.02.14

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Хажмурадов Манап Ахмадович

2. Хажмурадов Манап Ахмадович

Кваліфікація: д.т.н., 05.13.12

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Бондаренко Михайло Федорович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Бондаренко Михайло Федорович
Відповідальний за підготовку облікових документів	
Реєстратор	
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Т.А.