Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0410U003498

Особливі позначки: відкрита

Дата реєстрації: 03-06-2010

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Цололо Сергій Олексійович
2. Tsololo Sergey Alekseevich

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 13-05-2010

Спеціальність за освітою: 8.091501

Місце роботи здобувача: Державний вищий навчальний заклад "Донецький національний технічний університет"

Код за ЄДРПОУ: 02070826

Місцезнаходження: пл. Шибанкова, 2, м. Покровськ, Донецька обл., 85300

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д11.052.03

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Державний вищий навчальний заклад "Донецький національний технічний університет"

Код за ЄДРПОУ: 02070826

Місцезнаходження: пл. Шибанкова, 2, м. Покровськ, Донецька обл., 85300

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.51.19

Тема дисертації:

1. Оптимізація витрат апаратури в управляючих автоматах Мура на ПЛІС

2. Hardware optimization of Moore FSM on programmable logic devices

Реферат/анотація:

1. Об'єкт дослідження: синтез мікропрограмних автоматів Мура. Мета - зменшення апаратурних витрат у логічній схемі МПА Мура при реалізації схеми в базисі ПЛІС і збереженні швидкодії. У роботі виконано аналіз особливостей елементного базису ПЛІС, а також структур і методик синтезу автомата Мура, орієнтованих на реалізацію в цьому базисі. Виконано модифікацію методів зменшення витрат апаратури у схемі автомата Мура, що базується на застосуванні різних способів кодування станів і орієнтована на ефективне використання особливостей базису однорідних ПЛІС. Розроблено структури і виконано модифікацію методів зменшення апаратурних витрат у схемі автомата Мура, що базуються на застосуванні декількох джерел кодів станів і орієнтовані на ефективне використання особливостей змішаного елементного базису. Розроблено алгоритм вибору моделі автомата Мура з найменшими витратами апаратури для заданої ГСА, що базується на результатах аналізу характеристик ГСА та базису реалізації схеми. Наведено результати дослідження розроблених структур автомата Мура, що дозволяють визначити їх ефективність і оптимальну область

застосування. Сфера використання: підприємства мікроелектроніки й радіоелектронної промисловості, які розробляють схеми пристроїв керування на ПЛІС.

2. The subject of research: synthesis of Moore FSM. The aim - development of structures and methods of synthesis of Moore FSM, oriented on diminishing of logic circuit's hardware expenses under its realization on CPLD.The analysis of features of CPLD and existent structures and methods of FSM's synthesis is proposed. The methods of optimization of Moore FSM circuit, based on application of different ways of encoding of the states and oriented to the effective use of CPLD features for diminishing of hardware expenses of FSM's circuit is proposed. Structures and methods of optimization of Moore FSM circuit, based on application of a few sources of codes of the states and oriented to the effective use of features of the mixed CPLD. Sphere of application: enterprises of microelectronics and radioelectronic industry, which are designing circuit of control unit of FPGA.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Баркалов Олександр Олександрович

2. Barkalov Alexander Alexandrovich

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович

2. Хаханов Володимир Іванович

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Мишко Сергій Васильович

2. Мишко Сергій Васильович

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради Башков Євген Олександрович

Власне Прізвище Ім'я По-батькові головуючого на засіданні Башков Євген Олександрович

Відповідальний за підготовку облікових документів

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності



Юрченко Т.А.