Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0824U001578

Особливі позначки: відкрита

Дата реєстрації: 16-04-2024

Статус: Запланована

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Хаханов Іван Володимирович
2. Ivan Hahanov

Кваліфікація:

Ідентифікатор ORCHID ID: 0009-0009-3449-9595

Вид дисертації: доктор філософії

Шифр наукової спеціальності: 123

Назва наукової спеціальності: Комп'ютерна інженерія

Галузь / галузі знань: інформаційні технології

Освітньо-наукова програма зі спеціальності: 123 Комп'ютерна інженерія

Дата захисту: 27-04-2024

Спеціальність за освітою: Спеціалізовані комп'ютерні системи

Місце роботи здобувача: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, буд. 14, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

III. Відомості про дисертацію

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): ID4987_Хаханов

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, буд. 14, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, буд. 14, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

V. Відомості про дисертацію

Мова дисертації: Українська

Коди тематичних рубрик: 20.55, 28.17.27

Тема дисертації:

1. Векторні методи синтезу тестів і логічного моделювання цифрових компонентів SoC
2. Vector-driven methods for test synthesis and logical simulation of digital SoC components

Реферат:

1. В роботі розв’язано науково-практичну задачу зменшення алгоритмічної складності синтезу тесту та оцінки його якості шляхом використання надлишковості розумних структур даних. Використання read-write транзакцій на розумних структурах даних у пам'яті замість потужної системи команд процесора дозволяють усунути ітерації шиною даних між процесором та пам'яттю машини фон Неймана, що приводить до економії часу та енергії при вирішенні завдань проектування і тестування цифрових компонентів SoC. Мета дослідження – зменшення часових витрат та підвищення адекватності моделювання тестових наборів та несправностей, як адрес, за рахунок експоненційної надлишковості розумних структур даних на базі логічного вектора. Завдання дослідження: 1. Розробка розумних структур даних на базі логічного вектора для розв’язання завдань технічної діагностики цифрових пристроїв. 2. Розробка векторного методу синтезу

дедуктивної матриці логічної функціональності. 3. Розробка векторного методу синтезу карти тестування логічної функціональності. 4. Розробка векторного методу моделювання несправностей, як адрес, для оцінки якості тестових наборів цифрової схеми. 5. Програмна реалізація та верифікація розумних структур даних та векторних методів моделювання тестових наборів та несправностей, як адрес. Об'єкт дослідження – in-memory комп'ютинг великих даних для вирішення задач SoC проектування і тестування. Предмет дослідження – in-memory моделювання тестів та несправностей, як адрес, для верифікації цифрової логіки та схем. Використовуються рівняння технічної діагностики для розв'язання завдань верифікації цифрових виробів. Будуються розумні та явні структури даних у вигляді логічного вектора, таблиці істинності та матриці активності для розв'язання завдань аналізу цифрових проектів. Реалізується технологія векторного моделювання цифрових схем. Розробляються методи побудови матриць перекодування та активності для прискорення моделювання несправностей, як адрес. Будується карта тестування несправностей логічної функціональності на основі матриць перекодування та активності. Створюється технологія моделювання несправностей, як адрес, для аналізу цифрових схем. Всі ці пункти спрямовані на безпроцесорну реалізацію в пам'яті за допомогою read – write транзакцій на розумних структурах великих даних і мають на меті економію часу та енерговитрат при верифікації цифрових проектів. Наукова новизна результатів досліджень: 1. Вперше запропоновано розумну структуру даних, яка характеризується паралелізмом моделювання тестових наборів та несправностей, як адрес, що дає змогу ефективно обробляти вектори несправностей цифрової схеми та/або логічного елемента. 2. Удосконалено векторні методи побудови дедуктивної матриці (генома верифікації), які відрізняються від аналогів застосуванням матриці перекодування та використанням xor-операцій між логічним вектором та тестовим набором. 3. Вперше запропоновано векторний метод синтезу карти тестування, який характеризується використанням логічного вектора функціональності та матриці перекодування, що дає можливість вирішувати задачі синтезу тестів та моделювання несправностей за квадратичну обчислювальну складність алгоритму. 4. Вперше запропоновано векторний метод моделювання несправностей, який характеризується паралелізмом аналізу несправностей, як адрес, при аналізі логічної схеми, що дозволяє суттєво зменшити складність алгоритму моделювання до квадратичної оцінки. Практична значущість результатів дослідження визначається: Виконано верифікацію розумних структур даних та алгоритмів моделювання на десятках схем та функціональних елементів з бібліотеки ISCAS. Запропоновані моделі та методи апробовані на десятках конференцій у напрямку EDA, де отримали високі оцінки провідних вчених планети за доказову базу, оригінальність та практичну спрямованість методів для ринку електронних технологій. Моделі, методи та алгоритми реалізовано мовою Python, вони пройшли верифікацію на десятках прикладів комбінаційних схем та складних логічних функціональностей. Обмеження представлених механізмів моделювання несправності та синтезу тестів пов'язані з розмірністю логічного вектора, який потребує великого обсягу візуальної верифікації процедур моделювання.

2. The work solves the scientific and practical problem of reducing the algorithmic complexity of test synthesis and assessing its quality by using the redundancy of smart data structures. The use of read-write transactions on smart data structures in memory instead of a powerful system of processor commands allows you to eliminate iterations of the data bus between the processor and the memory of the von Neumann machine, which leads to saving time and energy when solving the problems of SoC digital components design and test. The goal of the research is to reduce time costs and increase the adequacy of simulation of test sets and faults, as addresses, through the exponential redundancy of smart data structures based on a logical vector. Objectives of the study: 1. Development of smart data structures based on a logical vector for solving tasks of technical diagnostics of digital devices. 2. Development of a vector method for the synthesis of a deductive matrix of logical functionality. 3. Development of a vector method for the synthesis of a testing map of logical functionality. 4. Development of a vector method for faults as addresses simulation to evaluate the quality of digital circuit test sets. 5. Software implementation and verification of smart data structures and vector methods for simulation of test sets and faults as addresses. The object of research is in-memory computing of big data for solving the problems of SoC design and test. The subject of research is in-memory simulation of tests and faults as addresses for verification of digital logic and circuits. Equations of technical diagnostics are used to solve tasks of digital product verification. Smart and explicit data

structures in the form of logical vector, truth table and activity matrix are built to solve the problems of digital project analysis. The technology of vector simulation of digital circuits is implemented. Methods for generating recoding and activity matrices are being developed to accelerate the simulation of faults as addresses. A logic functionality fault test map is generated based on the recoding and activity matrices. A technology for simulating faults as addresses for analyzing digital circuits is being developed. All these items are aimed at processor-free implementation in memory using read-write transactions on smart big data structures and are focused on saving time and energy during the verification of digital projects. Scientific novelty of research results: 1. For the first time, a smart data structure is proposed, which is characterized by the parallelism of simulation of test sets and faults as addresses, which enables efficient processing fault vectors of a digital circuit and/or logic element. 2. Vector methods for generating a deductive matrix (verification genome) is improved, which differs from analogues by the use of a recoding matrix and xor operations between a logical vector and test set. 3. For the first time, a vector method for the synthesis of a test map is proposed, which is characterized by the use of a logical vector of functionality and a recoding matrix, which makes it possible solving the problems of test synthesis and fault simulation with a quadratic computational complexity of the algorithm. 4. For the first time, a vector method for fault simulation is proposed, which is characterized by the parallelism of the analysis of faults, as addresses, in the analysis of the logic circuit, which allows to significantly reduce the complexity of the simulation algorithm to a quadratic estimate. The practical significance of the research results is determined by the following: Verification of smart data structures and simulation algorithms was performed on dozens of circuits and functional elements from the ISCAS library. The proposed models and methods have been tested at dozens of conferences in the field of EDA, where they received high marks from the leading scientists of the planet for the evidence base, originality, and practical focus of the methods on the electronic technology market. Models, methods, and algorithms are implemented in the Python language, they have been verified on dozens of examples of combinational circuits and complex logical functions. The constraints of the presented mechanisms of fault simulation and test synthesis are related to the dimension of the logical vector, which requires a large value of visual verification of modeling and simulation procedures.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки: Інформаційні та комунікаційні технології

Стратегічний пріоритетний напрям інноваційної діяльності: Розвиток сучасних інформаційних, комунікаційних технологій, робототехніки

Підсумки дослідження: Нове вирішення актуального наукового завдання

Публікації:

- Литвинова Е.И., Хаханов И.В. Квантовый компьютинг для проектирования цифровых систем. Радіоелектроніка та інформатика. 2015. №4. С.42-45.
- Хаханова Г.В., Чумаченко С.В., Рахліс Д.Ю., Хаханов І.В., Хаханов В.І. Квантові цифро-аналогові обчислення. Радіоелектроніка, інформатика, управління. 2022. № 4. С. 40-60.
- Хаханов В.І., Чумаченко С.В., Литвинова Є.І., Хаханова І.В., Хаханова Г.В., Шкіль О.С., Рахліс Д.Ю., Хаханов І.В., Шевченко О.Ю. Векторно-логічне моделювання несправностей. Радіоелектроніка, інформатика, управління. 2023. № 2. С. 37-51.
- Gharibi W., Hahanova A., Hahanov V., Chumachenko S., Litvinova E., Hahanov I. Vector-Deductive Memory-based Transactions for Fault-as-Address Simulation. Èlektronic modeling. 2023. V. 45, № 1. P. 3-26.
- Gharibi W., Hahanova A., Hahanov V., Chumachenko S., Litvinova E., Hahanov I. Vector–Logic Synthesis of Deductive Matrices for Fault Simulation. Èlektronic modeling. 2023. V. 45, № 2. P. 16-33.

Наукова (науково-технічна) продукція: методи, теорії, гіпотези

Соціально-економічна спрямованість: економія енергоресурсів; підвищення автоматизації виробничих процесів

Охоронні документи на ОПІВ:

Впровадження результатів дисертації: Планується до впровадження

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Литвинова Євгенія Іванівна
2. Eugenia Litvinova

Кваліфікація: д. т. н., професор

Ідентифікатор ORCHID ID: 0000-0002-9797-5271

Додаткова інформація:

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, буд. 14, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Леонов Сергій Юрійович
2. Leonov Sergiy Yurievich

Кваліфікація: д. т. н., професор

Ідентифікатор ORCHID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи: Національний технічний університет "Харківський політехнічний інститут"

Код за ЄДРПОУ: 02071180

Місцезнаходження: вул. Кирпичова, буд. 2, Харків, Харківський р-н., 61002, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

Власне Прізвище Ім'я По-батькові:

1. Мірошник Марина Анатоліївна
2. Maryna Miroshnyk

Кваліфікація: д. т. н., професор

Ідентифікатор ORCHID ID: 0000-0002-2231-2529

Додаткова інформація:

Повне найменування юридичної особи: Харківський національний університет імені В. Н. Каразіна

Код за ЄДРПОУ: 02071205

Місцезнаходження: майдан Свободи, буд. 4, Харків, Харківський р-н., 61022, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

Власне Прізвище Ім'я По-батькові:

1. Опанасенко Володимир Миколайович
2. Vladimir Opanasenko

Кваліфікація: д. т. н., професор

Ідентифікатор ORCHID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи: Інститут кібернетики імені В. М. Глушкова Національної академії наук України

Код за ЄДРПОУ: 05417176

Місцезнаходження: проспект Академіка Глушкова, буд. 40, Київ, 03187, Україна

Форма власності: Державна

Сфера управління: Національна академія наук України

Ідентифікатор ROR:

Сектор науки: Академічний

Рецензенти

Власне Прізвище Ім'я По-батькові:

1. Невлюдов Ігор Шакирович

2. Ihor S. Nevliudov

Кваліфікація: д. т. н., професор

Ідентифікатор ORCHID ID: 0000-0002-9837-2309

Додаткова інформація:

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, буд. 14, Харків, Харківський р-н., 61166, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Сектор науки: Університетський

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Гороховатський Володимир Олексійович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Гороховатський Володимир Олексійович
Відповідальний за підготовку облікових документів	Іванова Олена Олександрівна
Реєстратор	УкрІНТЕІ
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Тетяна Анатоліївна