Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0407U004846

Особливі позначки: відкрита

Дата реєстрації: 06-12-2007

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Уаді Гарібі
2. Wade Ghribi

Кваліфікація:

Ідентифікатор ORCHID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.13

Назва наукової спеціальності: Обчислювальні машини, системи та мережі

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 25-10-2007

Спеціальність за освітою: 8.091501

Місце роботи здобувача:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д 64.052.01

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: проспект Науки, 14, м. Харків, Харківський р-н., Харківська обл., 61166, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.41.23

Тема дисертації:

1. Моделі та методи апаратного моделювання цифровиз систем на кристалах
2. Models and methods hardware simulation for digital systems on chip

Реферат:

1. Мета дисертаційного дослідження - суттєве (у х10, х100, х1000 разів) підвищення швидкодії синхронного моделювання та часової верифікації обчислювальних систем на кристалах шляхом використання багатозначних апаратних моделей компонентів, що дозволяють розширити функціональні можливості засобів логічного hardware-аналізу в цілях ідентифікації перехідних процесів та визначення змагань на ранніх стадіях проектування цифрових виробів.Основні результати: моделі тестування та верифікації цифрових проектів, орієнтовані на апаратну імплементацію з метою суттєвого (х10, х100, х1000) зменшення часу моделювання; апаратурна реалізація трійкового методу моделювання справної поведінки HES-MV - Hardware Embedded Simulation based on Multi-Valued alphabet, який використовує апаратурні моделі цифрових проектів великої розмірності вентильного та регістрового рівнів опису; структурні рішення для

реалізації моделей логічних елементів, що мають по два розряди для кодування чотирьох станів кожної вхідної або вихідної лінії пристрою; апаратні моделі цифрових пристроїв та примітивів, які дозволяють розширити функціональність апаратного методу моделювання для аналізу перехідних процесів і суттєво підвищити швидкодію програмного моделювання при верифікації проектів. Практична значущість застосування технології апаратного моделювання полягає у тому, що з'явилась можливість суттєво (на 15-30%) зменшити час появи готового виробу на ринку електронних технологій (time-to-market).

2. Thesis goal - essential (x10, x100, x1000) increase of synchronous simulation speed and time verification of computer systems on chips by means of use multivalued hardware models of components, which enable to enlarge functionality of logical hardware analysis facilities for identification of transient processes and determination of competitions at early design stages of digital devices.Main results: testing and verification models of digital projects, which are oriented on hardware implementation for essential (x10, x100, x1000) reduction of simulation time; hardware realization of the ternary fault-free behavior simulation method HES-MV - Hardware Embedded Simulation based on Multi-Valued alphabet that uses hardware patterns of large dimension digital projects gate and register description level; structural solutions for realization gating circuit patterns, which have two bits for coding of four states of every input or output line of simulated device; hardware models of digital devices and primitives, which enable to enlarge functionality of hardware simulation method for analysis of transient processes and to increase speed of software simulation essentially at project verification.The practical importance of application of hardware simulation technology lies in that there appear possibility to reduce time-to-market of complete product essentially (by 15-30%).

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович

2. Hahanov Vladimir Ivanovsch

Кваліфікація: 05.13.13

Ідентифікатор ORCHID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Хажмурадов Манап Ахмадович
2. Хажмурадов Манап Ахмадович

Кваліфікація: 05.13.13

Ідентифікатор ORCHID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Леонов Сергій Юрійович
2. Леонов Сергій Юрійович

Кваліфікація: 05.13.05

Ідентифікатор ORCHID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Сектор науки: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Бондаренко М. Ф.
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Бондаренко М. Ф.
Відповідальний за підготовку облікових документів	
Реєстратор	
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Т.А.