Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0421U103474

Особливі позначки: відкрита

Дата реєстрації: 27-09-2021

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Пуйденко Вадим Олексійович

2. Puidenko Vadym Oleksijovych

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 23-09-2021

Спеціальність за освітою: Комп'ютерні системи та мережі

Місце роботи здобувача: Харківський радіотехничний коледж

Код за ЄДРПОУ: 21188157

Місцезнаходження: вул.Сумська 18/20, м. Харків, Харківський р-н., Харківська обл., 61057, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д 64.050.14

Повне найменування юридичної особи: Національний технічний університет "Харківський політехнічний інститут"

Код за ЄДРПОУ: 02071180

Місцезнаходження: вул. Кирпичова, буд. 2, м. Харків, Харківський р-н., Харківська обл., 61002, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Національний аерокосмічний університет ім. М. Є. Жуковського "Харківський авіаційний інститут"

Код за ЄДРПОУ: 02066769

Місцезнаходження: вул. Чкалова, буд. 17, м. Харків, Харківський р-н., Харківська обл., 61070, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.09.33

Тема дисертації:

1. Методи та засоби апаратної реалізації та вибору алгоритмів заміщення даних у кеш-пам'яті мікропроцесорів

2. Methods and means of hardware implementation and selection of algorithms for substitution data in microprocessor cache - memory

Реферат/анотація:

1. Дисертаційна робота присвячена розробці методів та засобів апаратної реалізації та вибору алгоритмів заміщення даних у кеш-пам'яті мікропроцесорів. Науковими результатами є: 1) отримало подальшого розвитку автоматна модель і засоби реалізації алгоритму PLRU заміщення даних у кеш-пам'яті процесора шляхом зміни типів та спрощення комбінаційної логіки керування оновленням елементів пам'яті, що забезпечує підвищення швидкодії та зменшення складності цих засобів; 2) вперше запропоновано метод і засоби реалізації адаптивних алгоритмів заміщення даних у кеш-пам'яті процесора, які на відміну від відомих базуються на побудові та аналізі матриць сумісності алгоритмів і надають змогу обирати алгоритм заміщення залежно від результатів динамічного прогнозу галужень програми, що забезпечує підвищення швидкодії

процесору; 3) удосконалено засоби контролю реалізації алгоритмів заміщення даних у кеш-пам'яті процесора за рахунок використання уніфікованої автоматної моделі, яка ураховує кількість напрямків вибору даних при заміщенні, а також оцінок складності базових компонентів засобів контролю, що дозволяє оцінювати приріст достовірності функціонування на одиницю апаратних витрат; 4) удосконалено метод вибору алгоритмів і засобів реалізації для заміщення даних у кеш-пам'яті процесора шляхом включення до множини алгоритмів з контролем і адаптацією, їх упорядкування за показниками швидкодії складності та надійності, що дозволяє покращити відповідні показники процесора. Запропоновані методи та засоби дозволяють підвищити швидкодію та надійність, а також зменшити складність апаратних витрат модулів заміщення даних асоціативної кеш-пам'яті та асоціативного кеш-буферу сторінкового перетворення, що тягне за собою збільшення швидкодії, енергоефективності та безвідмовності процесора у цілому.

2. The dissertation work is devoted to the development of methods and means of hardware implementation and the select of algorithms for substitution data in the cache-memory of microprocessors. Scientific results are: 1) the automaton model and the means of implementing the PLRU algorithm of substitution data in the processor cache by changing the types and simplifying the combination logic of managing the update of memory elements which provides increased high-speed performance and reduced complexity of these tools have been further developed; 2) for the first time proposed method and means of implementing adaptive algorithms for substitution data in the processor cache, which, unlike the known ones, are based on the construction and analysis of compatibility matrices of algorithms and allow you to select a substitution algorithm depending on the results of dynamic prediction of program branches, which provides increased high-speed performance of processor; 3) improved means of monitoring implementation of data substitution algorithms in the processor memory cache by using a unified automaton model that takes into account the number of data selection directions of substitution, as well as estimates of the complexity of the basic components of the monitoring means, which allows estimating the increase in reliability per unit of hardware costs; 4) improved method of selecting algorithms and implementation means for substitution data in the processor cache by including in a multitude of algorithms with control and adaptation, ordering of them according to high-speed performance, complexity and reliability indicators, which allows improving corresponding processor indicators; the proposed methods and tools are allow to improve high-speed performance and reliability, as well as reduce the complexity of the hardware costs of the data substitution modules of the associative memory cache and the associative translation look-a-side buffer, which allow to increase the high-speed performance, energy efficiency and reliability of the processor as a whole.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Харченко Вячеслав Сергійович

2. Kharchenko Vyacheslav Serhiiovych

Кваліфікація: д. т. н., 05.13.06

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Кучук Ніна Георгіївна

2. Kuchuk Nina Georgievna

Кваліфікація: д. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Можаєв Олександр Олександрович

2. Mozhaiev Oleksandr Oleksandrovych

Кваліфікація: д. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради Качанов Петро Олексійович

Власне Прізвище Ім'я По-батькові головуючого на засіданні Качанов Петро Олексійович

Відповідальний за підготовку облікових документів

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності Юрченко Т.А.