

Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0421U100007

Особливі позначки: відкрита

Дата реєстрації: 04-01-2021

Статус: Захищена

Реквізити наказу МОН / наказу закладу:



II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Кузнецов Микола Олександрович

2. Kuznietsov Mykola

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 28-12-2020

Спеціальність за освітою: Комп'ютерні системи та мережі

Місце роботи здобувача: Одеський національний політехнічний університет

Код за ЄДРПОУ: 02071045

Місцезнаходження: пр. Шевченка, буд. 1, м. Одеса, Одеська обл., 65044, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д 41.052.01

Повне найменування юридичної особи: Одеський національний політехнічний університет

Код за ЄДРПОУ: 02071045

Місцезнаходження: пр. Шевченка, буд. 1, м. Одеса, Одеська обл., 65044, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Одеський національний політехнічний університет

Код за ЄДРПОУ: 02071045

Місцезнаходження: пр. Шевченка, буд. 1, м. Одеса, Одеська обл., 65044, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.43

Тема дисертації:

1. Моделі та методи підвищення контролепридатності схем на FPGA та достовірності результатів в цифрових компонентах систем критичного застосування
2. Models and methods of an increase in checkability of circuits on FPGA and in trustworthiness of results in digital components of safety-related systems

Реферат:

1. Дисертація присвячена питанням покращення цифрових компонентів, спроектованих на FPGA з LUT-орієнтованою архітектурою для систем критичного застосування. Пропонуються моделі та методи підвищення контролепридатності схем цифрових компонентів і достовірності обчислюваних результатів на основі багатoversійності програмного коду FPGA проектів для запобігання накопиченню прихованих несправностей та їх прояву в нормальному й аварійному режимі, відповідно. Розроблено та досліджено моделі створення версій програмного коду з інвертуванням пам'яті LUT та перестановкою її бітів. Розроблені моделі покращують версійну надмірність рішень та дозволяють вибирати версії для підвищення контролепридатності схем і достовірності результатів при збереженні апаратної реалізації проекту. На основі цих моделей розроблено методи підвищення контролепридатності схем і достовірності результатів для домінуючої константної несправності пам'яті LUT вузлів, несправності замикання адресних входів LUT

вузлів та усунення прихованих несправностей їх виявленням та маскуванню відповідно в нормальному та аварійному режимі.

2. The dissertation is devoted to the issues of improvement of digital components designed on FPGA with LUT-oriented architecture for safety-related systems. Models and methods for enhancing the checkability of digital component circuits and the trustworthiness of calculated results are proposed based on the multi-version program code of the FPGA projects to prevent the accumulation of hidden faults and their manifestation in normal and emergency mode, respectively. Models for creating program code versions with inverting LUT memory and rearranging its bits have been developed and investigated. The developed models improve the version redundancy of the solutions and allow to choose the versions to increase the checkability of the circuits and the trustworthiness of the results while maintaining the hardware implementation of the project. On the basis of these models, methods for increasing the checkability of circuits and the trustworthiness of the results for the dominant constant memory failure of LUT units, the fault of closing the address inputs of LUT units and the elimination of hidden faults by their detection and masking respectively in the normal and emergency mode were developed.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Дрозд Олександр Валентинович
2. Drozd Oleksandr

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Глухов Валерій Сергійович
2. Hlukhov Valerii Serhiiiovych

Кваліфікація: д. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Романюк Олександр Никифорович
2. Romaniuk Oleksandr

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

**Власне Прізвище Ім'я По-батькові
голови ради**

Антошук Світлана Григорівна

**Власне Прізвище Ім'я По-батькові
головуючого на засіданні**

Антошук Світлана Григорівна

**Відповідальний за підготовку
облікових документів**

Реєстратор

**Керівник відділу УкрІНТЕІ, що є
відповідальним за реєстрацію наукової
діяльності**



Юрченко Т.А.