Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0419U000305

Особливі позначки: відкрита

Дата реєстрації: 25-01-2019

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Грушко Світлана Сергіївна
2. Grushko Svitlana Serhiivna

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: ні

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 24-01-2019

Спеціальність за освітою: Мікроелектроніка і напівпровідникові прилади

Місце роботи здобувача: Запорізький національний технічний університет

Код за ЄДРПОУ: 02070849

Місцезнаходження: вул. Жуковського, 64, м. Запоріжжя, Запорізький р-н., Запорізька обл., 69063, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д 11.052.03

Повне найменування юридичної особи: Державний вищий навчальний заклад "Донецький національний технічний університет"

Код за ЄДРПОУ: 02070826

Місцезнаходження: пл. Шибанкова, 2, м. Покровськ, Покровський р-н., Донецька обл., 85300, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Запорізький національний технічний університет

Код за ЄДРПОУ: 02070849

Місцезнаходження: вул. Жуковського, 64, м. Запоріжжя, Запорізький р-н., Запорізька обл., 69063, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.33.33

Тема дисертації:

1. Методи зменшення апаратурних витрат для суміщених мікропрограмних автоматів на мікросхемах програмованої логіки

2. Methods to reduce hardware costs for combined finite state machine on programmable logic chips

Реферат:

1. Дисертаційна робота присвячена вирішенню актуальної наукової задачі розробки структур і вдосконаленню методів синтезу суміщеного МПА, орієнтованих на зменшення апаратурних витрат при реалізації логічної схеми СМПА базисі ПЛІС (FPGA і CPLD). В роботі розроблено структуру СМПА для реалізації в базисі FPGA, що базується на використанні гетерогенної структури FPGA, вдосконалені методи синтезу схем СМПА на FPGA, що дозволяють ефективно використовувати особливості базису гетерогенних FPGA для зменшення апаратурних витрат в логічній схемі СМПА. Розроблено структури і вдосконалено методи синтезу схем СМПА на CPLD. Показано що використання цих структур забезпечує зменшення апаратурних витрат у логічній схемі СМПА в середньому на 29,6 %. Вирішена науково-практична задача мінімізації апаратурних витрат в схемі блоку управління конфігурацією бортовим обчислювальним

комплексом. Розроблені рекомендацій щодо використання запропонованих структур і методів для елементної бази різних виробників.

2. The thesis is devoted to solving the topical scientific problem of developing the structures and methods for synthesis of the combined finite state machines (CFSM), aimed at reducing equipment costs when implementing the CFSM logical scheme in the basis of programmable logic integrated circuits such as FPGA and CPLD. The structure of the CFSM was developed for implementation in the FPGA, based on the usage of the heterogeneous FPGA structure, methods for synthesizing the CFSM circuit on the FPGA were improved, making it possible to efficiently usage the basis features of the heterogeneous FPGAs to reduce hardware costs in the CFSM logic circuit. Structures and methods for synthesizing CFSM circuit for CPLD have been developed and improved. It is shown that the usage of these structures provides a reduction in hardware costs in the combined FSM logic circuit by an average of 29.6 %. The scientific and practical problem of minimizing hardware costs in the circuit configuration control unit onboard computing system has been solved. Recommendations on the usage of the proposed structures and methods for the element base of various manufacturers have been developed.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Зеленьова Ірина Яківна
2. Zeleniova Iryna Iakivna

Кваліфікація: к. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Защолкін Костянтин Вячеславович
2. Zascholkin Kostiantin Vyacheslavovich

Кваліфікація: к. т. н., 05.13.12

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Мусієнко Максим Павлович
2. Musienko Maxim Pavlovych

Кваліфікація: д. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради Башков Євген Олександрович

Власне Прізвище Ім'я По-батькові головуючого на засіданні Башков Євген Олександрович

Відповідальний за підготовку облікових документів

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності

Юрченко Т.А.