Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0823U101871

Особливі позначки: відкрита

Дата реєстрації: 18-12-2023

Статус: Наказ про видачу диплома

Реквізити наказу МОН / наказу закладу: № НСВС/17/24 від 19.02.2024

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Молчанова Анастасія Анатоліївна
2. Anastasiia Molchanova

Кваліфікація:

Ідентифікатор ORCID ID: 0000-0001-7328-7151

Вид дисертації: доктор філософії

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 123

Назва наукової спеціальності: Комп’ютерна інженерія

Галузь / галузі знань: інформаційні технології

Освітньо-наукова програма зі спеціальності: Комп'ютерна інженерія

Дата захисту: 02-02-2024

Спеціальність за освітою: Спеціалізовані комп'ютерні системи

Місце роботи здобувача: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): ДФ 26.002.71; ID 3797

Повне найменування юридичної особи: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

V. Відомості про дисертацію

Мова дисертації: Українська

Коди тематичних рубрик: 50.33.33, 20.55.03

Тема дисертації:

1. Методи і засоби проєктування спеціалізованих конвеєрних обчислювачів на базі ПЛІС для обробки сигналів

2. Methods and tools of designing the application specific pipelined processors for signal processing based on FPGA

Реферат:

1. Тема дисертації пов’язана з автоматизацією проєктування обчислювальних засобів на базі інтегральних схем надвисокої інтеграції (НВІС) та програмовних логічних інтегральних схем (ПЛІС). В даний час складність проєктів обчислювальних систем для НВІС та ПЛІС досягла десятків мільйонів вентилів. Причому досі вирішальну роль грає технологія, основана на описі проєктів на рівні регістрових передач, продуктивність якої є обмеженою. Розвивається галузь високорівневого синтезу, який ґрунтується на трансляції опису алгоритму в опис на рівні регістрових передач і на порядок прискорює проєктування. Але в наявних засобах такого синтезу необхідно вручну задавати паралелізм алгоритму та особливості

відображення в опис обчислювальної системи на рівні регістрових передач, яка часто одержує надмірні апаратні витрати чи продуктивність, що не відповідає заданій. Невідповідність ефективності наявних засобів високорівневого синтезу складності та продуктивності обчислювальних систем, що проєктуються, представляє актуальну технічну проблему. Обчислювальні системи для цифрової обробки сигналів (ЦОС) є такими системами, які вимагають для своєї реалізації проєктування НВІС та ПЛІС найбільшої складності і для них ця проблема стає актуальнішою. Об'єктом дослідження є процес розроблення високопродуктивних паралельних обчислювальних засобів. Предметом дослідження є методи та засоби проєктування спеціалізованих обчислювальних систем конвеєрного типу для ЦОС на базі ПЛІС. Метою дисертації є підвищення ефективності проєктування конвеєрних обчислювальних систем на основі ПЛІС на базі запропонованого методу проєктування спеціалізованих конвеєрних структур на основі генетичного програмування, який дає змогу прискорити проєктування конвеєрних обчислювальних систем і підвищити відношення продуктивність — апаратні витрати завдяки формалізації проєктування і новим алгоритмам пошуку апаратних рішень із мінімізованими апаратними витратами при заданому періоді обчислень. Наукова новизна роботи. Вперше запропоновано метод проєктування спеціалізованих конвеєрних структур на основі генетичного програмування, який відрізняється тим, що алгоритм ЦОС, який відображається в структуру, задається просторовим ГСПД, задача мінімізації апаратних витрат вирішується із заданими часовими обмеженнями за допомогою еволюційного підходу, який ґрунтується на поданні хромосоми як закодованого ГСПД та відповідних функціях її зміни, а також двохетапному алгоритмі оптимізації. Запропонований метод дає змогу формалізовано вирішувати задачу синтезу обчислювальних систем для ЦОС і завдяки регулюванню ступеня розпаралелювання алгоритму та мінімізації апаратних витрат одержані структури мають високе співвідношення продуктивність — вартість. Вперше запропоновано спосіб проєктування рекурсивних фільтрів на ПЛІС, який відрізняється тим, що завдяки застосуванню методу відображення просторового ГСПД, використання схем без блоків множення, а також пошуку коефіцієнтів фільтра методом модельованого відпалювання та застосування мови VHDL (VHSIC (very high speed integrated circuits) hardware description language), забезпечується одержання фільтрів з мінімізованими апаратними витратами та високою тактовою частотою. Практична цінність результатів дисертаційної роботи полягає в тому, що використання нового методу проєктування обчислювальних систем забезпечує зниження трудомісткості і скорочення термінів одержання множини альтернативних оптимізованих структурних рішень, мінімізація використання обчислювальних ресурсів, зокрема пам'яті обчислювальних систем, розроблення високоефективних конвеєрних обчислювальних систем обробки сигналів із мінімізованими апаратними витратами за заданих пропускної спроможності й порядку подання даних у вхідному та вихідному потоках даних. Розроблено програмний застосунок SDFCAD (synchronous data flow computer-aided design), у якому впроваджений запропонований метод. Цей застосунок дає змогу проєктувальнику описувати за допомогою ГСПД алгоритм ЦОС, моделювати алгоритм з різними степенями паралелізму, забезпечує автоматизований синтез обчислювальної системи із заданими властивостями, яка придатна для подальшої компіляції та конфігурування в ПЛІС довільної серії, а також впровадження в замовлену НВІС. Розроблені з використанням нового методу проєкти обчислювальних систем, такі як процесор дискретного косинусного перетворення, процесор для швидкого перетворення Фур'є, рекурсивні фільтри, модулі обчислення синусоїдальних функцій у ПЛІС, є налаштовуваними обчислювальними модулями, які описані на VHDL, мають високе відношення продуктивність — апаратні витрати та можуть бути впроваджені в нових розробках із мінімальними додатковими часовими і фінансовими витратами. Запропонований спосіб проєктування рекурсивних цифрових фільтрів впроваджено у вебзастосунку, який може бути вільно використаний у практиці проєктування пристроїв ЦОС.

2. The topic of the dissertation is related to the computer-aided design of very large scale integration (VLSI) application specific integral circuits (ASICs) and field programmable gate arrays (FPGAs). Currently, the complexity of the processing systems in ASIC and FPGA has reached tens of millions of gates. And still, the design technology based on the register transfer level (RTL) description of projects plays the main role. But its productivity is limited. The field of high-level synthesis (HLS) is spreading. It is based on the translation of the algorithm description into

the RTL description and speeds up the design by an order of magnitude. However, in the existing HLS tools, it is necessary to control manually the algorithm parallelism and the constraints of mapping the processing system structure to the RTL-description. Such a synthesis often leads to excessive hardware costs or performance that does not meet the limitations. The discrepancy between the inefficiency of the existing HLS tools and needed hardware volume and performance of the designed system is an urgent technical problem. The digital signal processing (DSP) system is a system that requires the most complex implementation in ASIC and FPGA, and this technical problem becomes even more relevant now. The object of the research is the design of the high-performance parallel processors. The subject of the research are the methods and tools for the design of the application-specific pipelined DSP processors based on FPGA. The goal of the dissertation is to increase the efficiency of mapping DSP algorithms into parallel computational systems based on FPGA. The efficiency is increased by the proposed application-specific pipelined structures design method based on the genetic programming. This method helps to accelerate the design of a pipelined processing system and to improve its quality through formalization and automation of the design, and use of new hardware optimization algorithms. The scientific novelty of the work. A method for application-specific pipelined structures design based on the genetic programming is proposed. The method differs in that the DSP algorithm, which is mapped into a structure, is given by a spatial SDF, the hardware minimization problem is solved with the given time constraints using an evolutionary approach based on the representation of a chromosome as an encoded SDF and the corresponding functions of its change, as well as a two-stage optimization algorithm. A method of the IIR filter design based on FPGA is proposed. The method differs in that the use of the spatial SDF mapping method, and the multiplier-free circuits, as well as the filter coefficient search using the simulating annealing method, and the use of VHDL language provide the deriving of the filters with minimal hardware costs and high throughput. The practical value of the dissertation results is that the use of a new method of the processing system design provides a reduction of both complexity and time of obtaining a variety of alternative optimized structural solutions. It improves the resource utilization effectiveness and processing system memory volume, provides the development of highly pipelined DSP processing systems with minimized hardware costs for a given bandwidth. Besides, it provides the natural order of data in input and output data streams. The developed SDFCAD software framework implements the proposed method. This application allows the designer to describe the DSP algorithm using the SDF model providing the different degrees of parallelism, automated synthesis of processing systems with specified properties. The resulting processing system description is suitable for further compilation and configuration in FPGA of any series, as well as for implementation in ASIC. Newly developed processing system projects, such as DCT processor, FFT processor, recursive filters, sine wave generating modules configured in FPGA, are customizable IP cores that are described in VHDL and have a high performance- hardware cost ratio. They can be built in the new projects with minimal additional time and financial costs. The proposed method of designing the recursive digital filters is implemented in a Web application that can be freely used in the practice of designing the DSP devices.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки: Інформаційні та комунікаційні технології

Стратегічний пріоритетний напрям інноваційної діяльності: Розвиток сучасних інформаційних, комунікаційних технологій, робототехніки

Підсумки дослідження: Нове вирішення актуального наукового завдання

Публікації:

- Сергієнко А. М., Романкевич В. О., Сергієнко (Молчанова) А. А. Генетичне програмування спеціалізованих конвеєрних пристроїв. Електронне моделювання. 2020. Т. 42, №2. С. 25–40. ISSN: 0204-3572 DOI: https://doi.org/10.15407/emodel.42.02.025

- Klymenko I., Tkachenko V., Serhienko (Молчанова) A., Kulakov Y. Formalization of the concept of adaptive tasks mapping in the reconfigurable computers on FPGA. Eastern European Journal of Enterprise Technologies. 2018. V. 2, No. 9–92. P. 20–28. ISSN: 1729-3774 DOI: https://doi.org/10.15587/1729-4061.2018.127361
- Serhienko (Молчанова) A., Sergiyenko A. Modules for pipelined mixed radix FFT processors. Int. J. of Reconfigurable Computing. 2016. V. 2016. P. 1–7. ISSN: 1687-7195 DOI: https://doi.org/10.1155/2016/3561317
- Sergiyenko A., Serhienko (Молчанова) A. Complexity Reduced IIR Filter Design for FPGA. 2020 IEEE 2nd International Conference on System Analysis & Intelligent Computing (SAIC). Kyiv, 2020. P. 1–4.
- Serhienko (Молчанова) A., Sergiyenko A. Romankevich V. Genetic Programming of Pipelined Datapaths for FPGA. IEEE 40-th Int. Conf. on Electronics and Nanotechnology, (ELNANO). Kyiv, 2020. P. 802–806.
- Serhienko (Молчанова) A., Sergiyenko A. VHDL Generation of Optimized IIR Filters. IEEE 2-nd Ukraine Conference on Electrical and Computer Engineering, (UKRCON). Lviv, Ukraine, July, 2019. P. 1171–1174.
- Сергієнко А. М., Романкевич В. О., Сергієнко (Молчанова) А. А. Генетичне програмування опису конвеєра даних мовою VHDL. Прикладна математика та комп'ютинг : тези десятої наук. конф. магістрантів та аспірантів ПМК'2018 (Київ, 21–23 бер. 2018). Київ, 2018. С. 153–157.
- Сергієнко А. М., Хусейн К. С., Сергієнко (Молчанова) А. А. Фільтри зі скінченною характеристикою з мінімізованими апаратними витратами. Безпека, Відмовостійкість, Інтелект : тези наук. конф. Київ, НТУУ «КПІ», 2018. С. 99–103.
- Serhienko (Молчанова) A., Sergiyenko A. Digital Filter Design using VHDL. High Performance Computing (HPC-UA 2018) : Proc. 5-th Int. Conf. Kyiv, 2018. P. 123–126.
- Сергиенко А. М., Сергиенко (Молчанова) А. А. Моделирование волновых процессов с помощью волновых фильтров. Моделювання-2018 : тези міжн. наук. конф. Київ, 2018, С. 224–227.
- Serhienko (Молчанова) A., Sergiyenko A., Simonenko A. A method for synchronous dataflow retiming. IEEE 1-st Ukraine Conf. on Electrical and Computer Engineering (UKRCON). Kyiv, 2017. P. 1015–1018.
- Serhienko (Молчанова) A., Sergiyenko A. Method of the Digital Filter Design using VHDL. Winter InfoCom Advanced Solutions 2016 : Proc. Int. Conf. Kyiv, 2016. P. 68–69.
- Сергієнко (Молчанова) А. А. Реалізація конвеєрних процесорів швидкого перетворення Фур'є у ПЛІС. Прикладна математика та комп'ютинг — 2016 : тези наукової конференції. Київ, 2016. С. 128–131.
- Сергієнко (Молчанова) А. А., Сергієнко А. М. Бібліотека модулів для швидкого перетворення Фур'є. Інформатика та обчислювальна техніка – ІОТ-2016 : тези наук. конф. студентів, магістрантів та аспірантів. Київ, 2016. С. 114–117.
- Сергієнко (Молчанова) А. А. Сергієнко А. М. Набір модулів для швидкого перетворення Фур'є. Infocom Advanced Solutions 2015 : тези міжнар. наук.-практ. конф. Київ, 2015. С. 52–53.
- Сергієнко (Молчанова) А. А., Клятченко Я. М. Процесор швидкого перетворення Фур'є за простою основою. Сучасні методи, інформаційне та програмне забезпечення систем управління організаційно-технологічними комплексами : тези всеукр. наук.-практ. інтернет-конф. Луцьк, 2015. С. 21–23.
- Serhienko (Молчанова) A., Sergiyenko A. Computing Pythagorean triples in FPGA. High Performance Computing, (HPC-UA'2013) : Proc. 3-d Int. Conf. Kyiv, 2013. P. 347–349.

Наукова (науково-технічна) продукція: пристрої; методи, теорії, гіпотези; програмні продукти, програмно-технологічна документація

Соціально-економічна спрямованість: підвищення продуктивності праці

Охоронні документи на ОПІВ:

Впровадження результатів дисертації: Впроваджено

Зв'язок з науковими темами: 0117U004280

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Романкевич Віталій Олексійович
2. Vitaliy Romankevich

Кваліфікація: д. т. н., професор, 05.13.05

Ідентифікатор ORCID ID: 0000-0003-4696-5935

Додаткова інформація: https://scholar.google.com.ua/citations?hl=uk&user=nHqiOEQAAAAJ; https://www.scopus.com/authid/detail.uri?authorId=57193263058

Повне найменування юридичної особи: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Гільгурт Сергій Якович
2. Serhii Hilgurt

Кваліфікація: д. т. н., старший науковий співробітник, 05.13.05

Ідентифікатор ORCID ID: 0000-0003-1647-1790

Додаткова інформація: https://www.scopus.com/authid/detail.uri?authorId=57373650100; https://scholar.google.com.ua/citations?hl=uk&user=L4JS3tQAAAAJ

Повне найменування юридичної особи: Інститут проблем моделювання в енергетиці ім. Г. Є. Пухова Національної академії наук України

Код за ЄДРПОУ: 05516949

Місцезнаходження: вул. Генерала Наумова, буд. 15, Київ, 03164, Україна

Форма власності:

Сфера управління: Національна академія наук України

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Опанасенко Володимир Миколайович

2. Volodymyr Opanasenko

Кваліфікація: д. т. н., професор, 05.13.05

Ідентифікатор ORCID ID: 0000-0002-5175-9522

Додаткова інформація: https://www.scopus.com/authid/detail.uri?authorId=6603885804; https://scholar.google.com.ua/citations?hl=uk&user=8yg60xQAAAAJ

Повне найменування юридичної особи: Інститут кібернетики імені В. М. Глушкова Національної академії наук України

Код за ЄДРПОУ: 05417176

Місцезнаходження: проспект Академіка Глушкова, буд. 40, Київ, 03187, Україна

Форма власності: Державна

Сфера управління: Національна академія наук України

Ідентифікатор ROR:

Рецензенти

Власне Прізвище Ім'я По-батькові:

1. Гордієнко Юрій Григорович
2. Gordienko Yuri

Кваліфікація: д. ф.-м. н., старший науковий співробітник, 01.04.13

Ідентифікатор ORCID ID: 0000-0003-2682-4668

Додаткова інформація: https://scholar.google.com.ua/citations?user=mnJFS3sAAAAJ&hl=uk; https://www.scopus.com/authid/detail.uri?authorId=6701855242

Повне найменування юридичної особи: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

Власне Прізвище Ім'я По-батькові:

1. Клятченко Ярослав Михайлович
2. Yaroslav Klyatchenko

Кваліфікація: к. т. н., доцент, 05.13.05

Ідентифікатор ORCID ID: 0000-0003-4236-4059

Додаткова інформація: https://scholar.google.com.ua/citations?hl=uk&user=LWYsx7QAAAAJ; https://www.scopus.com/authid/detail.uri?authorId=55962506500

Повне найменування юридичної особи: Національний технічний університет України "Київський політехнічний інститут імені Ігоря Сікорського"

Код за ЄДРПОУ: 02070921

Місцезнаходження: проспект Берестейський, буд. 37, Київ, 03056, Україна

Форма власності: Державна

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR:

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради	Стіренко Сергій Григорович
Власне Прізвище Ім'я По-батькові головуючого на засіданні	Стіренко Сергій Григорович
Відповідальний за підготовку облікових документів	Молчанова Анастасія Анатоліївна
Реєстратор	УкрІНТЕІ
Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності	Юрченко Тетяна Анатоліївна