Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0821U100416

Особливі позначки: відкрита

Дата реєстрації: 17-03-2021

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Слинько Максим Сергійович

2. Slynko Maksym

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: доктор філософії

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 123

Назва наукової спеціальності: Комп'ютерна інженерія

Галузь / галузі знань:

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 03-03-2021

Спеціальність за освітою: Комп'ютерна інженерія

Місце роботи здобувача:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): ДФ 26.001.066

Повне найменування юридичної особи: Київський національний університет імені Тараса Шевченка

Код за ЄДРПОУ: 02070944

Місцезнаходження: вул. Володимирська, буд. 60, м. Київ, Київська обл., 01033, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Київський національний університет імені Тараса Шевченка

Код за ЄДРПОУ: 02070944

Місцезнаходження: вул. Володимирська, буд. 60, м. Київ, Київська обл., 01033, Україна

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 28.23.33

Тема дисертації:

1. Дослідження і створення формалізованих методів проектування застосувань в технології GPGPU
2. Research and development of formalized methods of application design in GPGPU technology

Реферат/анотація:

1. В роботі досліджено використання інструментальних засобів алгоритмічного етапу проектування для застосунків в технології GPGPU та сформовано формалізовану методику створення паралельних застосувань для програмних систем із відеоадаптерами. На основі проведених досліджень створено комплексний метод проектування та верифікації високопродуктивних застосувань для програмних систем, які включають відеоадаптери для виконання обчислень загального призначення, який дозволяє використати інструментальні засоби алгоритмічного етапу проектування, а саме – алгебри алгоритмів, транзиційні системи, мережеві, автоматні моделі та формули лінійно-темпоральної логіки для підвищення продуктивності паралельних застосувань а також забезпечення їх надійності. До переваг цього методу відносяться можливість моделювання системи, що розглядається, на різних рівнях абстракції, що дозволяє задіяти як дедуктивну верифікацію або класичне тестування на високому рівні абстракції, так і

автоматизовані методи верифікації більш низкорівневої логіки, такі, як перевірка моделі. Отриманий метод застосовано для вирішення задачі кластеризації з використанням обчислювальних потужностей графічних адаптерів та верифікації отриманої системи. В ході дослідження було виявлено помилку синхронізації, яку неможливо було б виявити за допомогою традиційного тестування. Побудовано регулярну схему алгоритму Джонсона з використанням математичного апарату САА-М, яка є основною для формування паралельних схем алгоритму з використанням відеоадаптерів та архітектури обчислень CUDA. На основі послідовної параметричної САА-схеми побудовано паралельну САА-М-схему алгоритму Джонсона. Запропоновано метод розпаралелювання алгоритму Джонсона для програмно-апаратної платформи CUDA. Наукова новизна отриманих результатів полягає в тому, що вперше використано апарати систем алгоритмічних алгебр та транзиційних систем для формалізації застосувань в технології GPGPU; створено комплексний метод проектування та верифікації таких застосувань, який дозволяє вирішити проблему складності інженерного проектування застосувань для сучасних гетерогенних систем; апробовано створений метод на прикладах вирішення кількох задач, зокрема задачі кластеризації та задачі пошуку шляхів у графі (алгоритму Джонсона). Отримані результати мають не лише теоретичне, але і практичне значення, оскільки можуть бути використані як для проектування нових, так і для дослідження існуючих застосувань та виявлення в них помилок.

2. The use of tools of the algorithmic design stage for applications in GPGPU technology was investigated in the thesis and the formalized method of parallel application design for massively parallel GPU-based computing systems was created. A comprehensive high-performance application design and verification method for systems that include GPUs to perform general purpose calculations was created. The proposed method allows using the tools of the algorithmic design phase, namely - algebras of algorithms, transition systems, Petri networks, automaton models and formulas of linear-temporal logic to increase the application performance and guarantee its reliability. The advantages of this method include the ability to model the system under analysis at different levels of abstraction, which allows using both deductive verification and classical testing at a high level of abstraction, and automated methods of verification of lower level logic, such as the model verification. The obtained design method is used to solve the problem of clustering using the GPU computing power and verification of the resulting system. The analysis identified a synchronization error that could not be detected by traditional testing. A regular scheme of Johnson's algorithm was built using the SAA-M mathematical apparatus. The scheme served as the basis for the formation of parallel schemes of the algorithm using GPGPU specifics and CUDA architecture. A parallel CAA-M scheme of Johnson's algorithm is constructed on the basis of a sequential parametric CAA scheme. A method of parallelization of the algorithm for the CUDA software and hardware platform is proposed. The scientific novelty of the obtained results is that for the first time the apparatus of systems of algorithmic algebras and transition systems were used to formalize applications in GPGPU technology; a comprehensive application design and verification method was created, which allows to solve the problem of complexity of engineering design of applications for modern heterogeneous systems; the created method was tested on examples of the implementing solutions for several problems, in particular - clustering problem and all pair shortest path graph problem (Johnson's algorithm). The obtained results have not only theoretical but also practical significance, as they can be used both for designing new and for analyzing existing applications to identify potential failure paths in it.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Погорілий Сергій Дем'янович

2. Pogorilyy Sergiy Demianovych

Кваліфікація: д. т. н., 01.05.03

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Ролік Олександр Іванович

2. Rolik Oleksandr I.

Кваліфікація: д. т. н., 05.13.06

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Опанасенко Володимир Миколайович

2. Opanasenko Volodymyr Mykolayovych

Кваліфікація: д. т. н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

Власне Прізвище Ім'я По-батькові:

1. Бойко Юрій Володимирович

2. Boyko Yurii Volodymyrovych

Кваліфікація: к. ф.-м. н., 01.04.10

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Кудін Володимир Іванович

2. Kudin Volodymyr Ivanovych

Кваліфікація: д. т. н., 01.05.02

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради Заславський Володимир Анатолійович

Власне Прізвище Ім'я По-батькові головуючого на засіданні Заславський Володимир Анатолійович

Відповідальний за підготовку облікових документів

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності



Юрченко Т.А.