Облікова картка дисертації

I. Загальні відомості

Державний обліковий номер: 0411U002606

Особливі позначки: відкрита

Дата реєстрації: 02-06-2011

Статус: Захищена

Реквізити наказу МОН / наказу закладу:

II. Відомості про здобувача

Власне Прізвище Ім'я По-батькові:

1. Зайченко Сергій Олександрович
2. Zaychenko Sergey Aleksandrovich

Кваліфікація:

Ідентифікатор ORCID ID: Не застосовується

Вид дисертації: кандидат наук

Аспірантура/Докторантура: так

Шифр наукової спеціальності: 05.13.05

Назва наукової спеціальності: Комп'ютерні системи та компоненти

Галузь / галузі знань: Не застосовується

Освітньо-наукова програма зі спеціальності: Не застосовується

Дата захисту: 27-04-2011

Спеціальність за освітою: 8.080403

Місце роботи здобувача: ТОВ "Алдек-Харків"

Код за ЄДРПОУ: 33817534

Місцезнаходження: 61166, Харківська обл., місто Харків, проспект Леніна, будинок 18/9, офіс 1

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

III. Відомості про організацію, де відбувся захист

Шифр спеціалізованої вченої ради (разової спеціалізованої вченої ради): Д64.052.01

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

IV. Відомості про підприємство, установу, організацію, в якій було виконано дисертацію

Повне найменування юридичної особи: Харківський національний університет радіоелектроніки

Код за ЄДРПОУ: 02071197

Місцезнаходження: 61166, м. Харків, пр. Науки, 14

Форма власності:

Сфера управління: Міністерство освіти і науки України

Ідентифікатор ROR: Не застосовується

V. Відомості про дисертацію

Мова дисертації:

Коди тематичних рубрик: 50.51.17

Тема дисертації:

1. Моделі й методи функціональної верифікації цифрових систем на основі темпоральних асерцій

2. Models and methods for the functional verification of digital systems, based on the temporal assertions

Реферат/анотація:

1. Об'єкт дослідження - процес проектування та верифікації цифрових систем на кристалах за допомогою мов опису апаратури високого рівня та HDL-симулятора. Мета дисертаційного дослідження - розробка моделей та методів функціональної верифікації цифрових систем на кристалах на основі використання темпоральних асерцій при тестовому діагностуванні помилок в процесі програмно-апаратного моделювання для істотного підвищення якості цифрового виробу та зменшення часових і матеріальних витрат проектування. Основні результати: аналітична модель верифікації HDL-коду на основі використання динамічних регістрових черг, орієнтована на аналіз асерцій лінійної темпоральної логіки, яка забезпечує високу швидкодію моделювання та задану глибину діагностування помилок коду; модель інтерпретації лінійної темпоральної логіки з використанням режиму "глобального" часу, призначена для перевірки формул під час симуляції; методи аналізу механізму асерцій, які дають можливість істотно підвищити швидкодію моделювання та на 15% зменшити час верифікації проекту; модель взаємодії даних регістрового рівня та процес-моделі обробки подій і функцій-черг, які забезпечують покращення параметрів транспортування

подій в процесі моделювання; інфраструктура процесу верифікації та діагностування проектованого виробу, яка відрізняється введенням у програмний код надлишковостей у вигляді асерций та апаратною підтримкою моделювання, що дозволяє на 30% зменшити загальний час проектування цифрових систем на кристалах; програмні компоненти системи верифікації Riviera (Aldec Inc.), в яких реалізовано моделі та методи функціональної верифікації на основі темпоральних асерцій, що дає можливість істотно (20%-80%) зменшити часові витрати для моделювання функціональності та асерцій в процесі тестування цифрових проектів.

2. The object of research is the process of design and verification of digital systems-on-chips using high-level hardware description languages and HDL-simulator. Thesis goal is development of models and methods for the functional verification of digital system-on-a-chip, based on the use of temporal assertions, when diagnosing errors in process of software-hardware simulation for increasing the quality of digital product and decreasing the time-to-market and cost of designing. Main results: an analytical model for verification of digital system-on-a-chip, based on the use of dynamic register queues, focused on the analysis of linear temporal logic assertions, which provides high speed simulation and specified diagnosis depth of code errors; model for interpreting linear temporal logic, using the global time and designed for verification of formulae during simulation; methods for analyzing the assertion engine, which allow considerable increasing the speed of simulation and decreasing the time of verification by 15%; interacting data model of register level and process models for processing the events and queue functions, which provide improvement of event transportation parameters during the simulation; verification and diagnosis infrastructure, characterized by the software redundancy in the form of assertions and hardware support of simulation, which makes it possible to decrease the total time of SoC designing by 30%; software components of the verification system Riviera (Aldec Inc.), where the temporal assertion based models and methods for the functional verification are implemented. This makes it possible to decrease the time of functionality and assertions simulation by 20%-80% during the testing digital designs.

Державний реєстраційний номер ДіР:

Пріоритетний напрям розвитку науки і техніки:

Стратегічний пріоритетний напрям інноваційної діяльності:

Підсумки дослідження:

Публікації:

Наукова (науково-технічна) продукція:

Соціально-економічна спрямованість:

Охоронні документи на ОПІВ:

Впровадження результатів дисертації:

Зв'язок з науковими темами:

VI. Відомості про наукового керівника/керівників (консультанта)

Власне Прізвище Ім'я По-батькові:

1. Хаханов Володимир Іванович

2. Hahanov Vladimir Ivanovich

Кваліфікація: д.т.н., 05.13.05

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

VII. Відомості про офіційних опонентів та рецензентів

Офіційні опоненти

Власне Прізвище Ім'я По-батькові:

1. Краснобаєв Віктор Анатолійович
2. Краснобаєв Віктор Анатолійович

Кваліфікація: д.т.н., 20.02.14

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Власне Прізвище Ім'я По-батькові:

1. Хажмурадов Манап Ахмадович
2. Хажмурадов Манап Ахмадович

Кваліфікація: д.т.н., 05.13.12

Ідентифікатор ORCID ID: Не застосовується

Додаткова інформація:

Повне найменування юридичної особи:

Код за ЄДРПОУ:

Місцезнаходження:

Форма власності:

Сфера управління:

Ідентифікатор ROR: Не застосовується

Рецензенти

VIII. Заключні відомості

Власне Прізвище Ім'я По-батькові голови ради Бондаренко Михайло Федорович

Власне Прізвище Ім'я По-батькові головуючого на засіданні Бондаренко Михайло Федорович

Відповідальний за підготовку облікових документів

Реєстратор

Керівник відділу УкрІНТЕІ, що є відповідальним за реєстрацію наукової діяльності



Юрченко Т.А.